



P/2292-80

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re ~~PATENT~~ Application of

Soon-Gyu HONG et al.

Date: November 7, 2003

Serial No.: 10/676,206

Group Art Unit:

Filed: October 1, 2003

Examiner: Not Yet Assigned

For: STACKED COIL DEVICE AND FABRICATION METHOD THEREOF

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the prior request for priority under the International Convention and submits herewith a certified copy of the following document in support of the claim:

KOREAN APPLICATION No. 10-2002-0059899 FILED OCTOBER 1, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Commissioner of Patents and Trademarks, Washington, D.C. 20231, on November 7, 2003

Respectfully submitted,

Max Moskowitz

Name of applicant, assignee or
Registered Representative

Max Moskowitz

Registration No.: 30,576

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700

Signature

November 7, 2003

Date of Signature

MM:nb
Enclosure



This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0059899
Application Number

출원년월일 : 2002년 10월 01일
Date of Application OCT 01, 2002

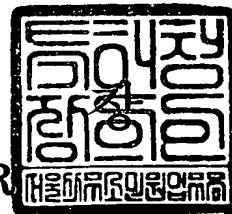
출원인 : 주식회사 세라텍
Applicant(s) CERATECH CORPORATION



2003 년 09 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.01
【국제특허분류】	H01F 5/00
【발명의 명칭】	적층형 코일 부품 및 그 제조방법
【발명의 영문명칭】	STACKED COIL DEVICE AND FABRICATION METHOD THEROF
【출원인】	
【명칭】	주식회사 세라텍
【출원인코드】	1-1998-002400-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2001-051027-1
【발명자】	
【성명의 국문표기】	홍순규
【성명의 영문표기】	HONG,Soon Gyu
【주민등록번호】	700415-1162411
【우편번호】	440-302
【주소】	경기도 수원시 장안구 정자2동 30-9 현대아파트 102동 809호
【국적】	KR
【발명자】	
【성명의 국문표기】	최명희
【성명의 영문표기】	CHOI,Myoung Hui
【주민등록번호】	740615-2019017
【우편번호】	143-200
【주소】	서울특별시 광진구 구의동 558-9 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	장상은
【성명의 영문표기】	JANG,Sang Eun

【주민등록번호】 790120-2168322
【우편번호】 435-041
【주소】 경기도 군포시 산본1동 78-29
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 7 면 7,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 12 항 493,000 원
【합계】 529,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 적층형 코일부품에 관한 것으로 구조가 간단하면서 전자기적 특성이 우수하고 생산성이 뛰어난 코일부품 및 그 제조방법을 제공한다. 본 코일부품은 중앙에 개구부가 형성되어 있고, 상면 및 하면 중 적어도 일면에는 전극패턴이 형성되어 있는 비자성체전극층 및 상기 비자성체전극층의 중앙 개구부와 상기 비자성체전극층의 측면에 위치하는 내부자성체층이 하나의 단위가 되는 적어도 2층 이상의 내부전극층;과 상기 내부 전극층의 양면에 접촉하는 커버층; 및 상기 전극패턴의 일부와 전기적으로 연결되는 외부 전극단자를 포함하여 구성된다.

【대표도】

도 4b

【색인어】

적층 코일부품, 공통모드필터

【명세서】**【발명의 명칭】**

적층형 코일 부품 및 그 제조방법{STACKED COIL DEVICE AND FABRICATION METHOD THEROF}

【도면의 간단한 설명】

도 1a는 종래의 코일부품을 도시한 사시도.

도 1b는 도 1a의 부품의 분해도.

도 2a는 본 발명의 코일부품의 일실시예의 외관을 보여주는 사시도.

도 2b는 도 2a의 코일부품의 내부 자기경로를 보여주는 사시도.

도 2c는 도 2a의 코일부품의 내부 전극형태를 보여주는 사시도.

도 2d는 도 2a의 코일부품의 내부를 보여주는 단면도.

도 2e는 본 발명의 코일부품의 또 다른 실시예의 외관을 보여주는 사시도.

도 3a는 그린 시트 준비단계를 보여주는 사시도.

도 3b는 커팅라인 형성단계를 보여주는 사시도.

도 3c는 비아홀 형성단계를 보여주는 사시도.

도 3d는 전극패턴 형성단계를 보여주는 사시도.

도 3e는 픽업이 완료된 자성체층을 보여주는 사시도.

도 3f는 픽업이 완료된 비자성체층을 보여주는 사시도.

도 4a는 적층단계를 보여주는 공정도.

도 4b는 도 4a의 전극층을 확대한 공정도.

도 4c는 적층이 끝난 코일부품의 외관을 보여주는 사시도.

도 5a는 자성체만으로 이루어진 코일부품의 자기장을 보여주는 단면 모식도.

도 5b는 본 발명의 코일부품의 자기장을 보여주는 단면 모식도.

*** 도면의 주요부분에 대한 부호의 설명 ***

21:커버층 22:자성체층

24:외부 단자 25:측면자성체층

26:중앙 자성체층 28:비자성체전극층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23> 본 발명은 적층형 코일 부품에 관한 것으로, 트랜스포머(transformers) 또는 공통모드 초크코일(common mode choke coils) 등으로 사용될 수 있는 코일 부품에 관한 것이다.

<24> 공통모드 초크코일 또는 트랜스포머 등의 코일 부품에서, 코일 부품의 전기적인 특성을 향상시키기 위하여, 1차코일과 2차코일 간의 전자기적인 결합도를 증가시키는 것이 중요한 과제이다. 1, 2차 코일간의 전자기적 결합도를 증가시키기 위해서는 두 코일간의 간격을 작게 하거나, 누설자속이 발생하지 않도록 자로(磁路)를 형성하여야 한다.

<25> 도 1a는 코일 부품소자를 포함하는 종래의 공통모드 초크코일의 일례를 나타내는 사시도이고, 도 1b는 도 1a에 도시된 공통모드 초크코일의 분해도이다.

<26> 도 1a에 도시된 바와같이, 공통모드 초크코일(1)은 제1자성체 기판(3)의 상부에 형성된 적층체(7)와, 적층체(7)의 상부에 형성된 제2자성체 기판(10) 및 이들의 사이에 형성된 접촉층

(8)과, 제1자성체 기판(3), 적층체(7), 접착층(8) 및 제2자성체 기판의 외부 면에 형성된 외부 전극(11)을 포함한다.

<27> 도 1b에 도시된 바와 같이, 적층체(7)은 스퍼터링(sputtering) 등의 박막 형성 기술에 의해 증착된 복수개의 층을 포함하고, 폴리이미드 수지(polyimide resin) 또는 에폭시 수지(epoxy resin) 등의 비자성(non-magnetic) 절연 재료로 이루어진 절연층(6a)는 제1자성체 기판 3의 상부에 증착되며, 리딩(leading) 전극(12a, 12b)는 절연층(6a)의 상부에 형성되며, 또 다른 절연층(6b)이 리딩 전극(12a, 12b)의 상부에 형성되며, 코일 패턴(4)와 코일 패턴으로부터 인출된 리딩 전극(12c)은 상기 절연층(6b)의 상부에 형성되며, 또 다른 절연층(6c)이 코일 패턴(4)과 리딩 전극(12c)의 상부에 형성되며, 코일 패턴(5)과 코일 패턴으로부터 인출된 리딩 전극(12d)는 절연층(6c)의 상부에 형성된다.

<28> 코일 패턴(4)의 한쪽 말단은 절연층(6b)에 형성되어 있는 비아홀(via hole)(13a)을 통해서 리딩 전극(12a)에 전기적으로 접속되고, 리딩 전극(12a)는 외부 전극(11a)에 전기적으로 접속된다. 코일 패턴(4)의 다른쪽 말단은 리딩 전극(12c)를 통해서 외부 전극(11c)에 전기적으로 접속된다.

<29> 한편, 또 다른 코일 패턴(5)의 한쪽 말단은 절연층(6c)에 형성되어 있는 비아홀(13c)와 절연층(6b)에 형성되어 있는 비아홀(13b)를 통해서 리딩 전극(12b)에 전기적으로 접속되고, 리딩 전극(12b)는 외부 전극(11b)에 접속된다. 코일 패턴(5)의 다른 쪽 말단은 리딩 전극(12d)을 통해서 외부 전극(11d)에 전기적으로 접속된다.

<30> 상술한 코일부품을 회로에 삽입하는 경우, 각각의 외부 전극(11)을 회로의 각 접속부에 전기적으로 접속함으로써, 코일 패턴(4, 5)이 회로에 연결되게 된다.

<31> 상기 부품은 스퍼터링 또는 증착(evaporation) 등의 박막 형성 기술에 의해 제작되기 때문에 1, 2차 코일간의 간격을 수 μm 까지 작게 할 수 있으므로 종래의 제품에 비하여 전자기적 결합도가 높아지고 부품의 소형화도 가능하지만, 값비싼 장비가 필요하고 생산성이 떨어지는 단점이 있다.

<32> 또한, 도 1a와 도 1b에 도시된 코일 부품은 코일패턴(4)와 코일패턴(5)의 사이에 비자성 절연층(6c)이 위치하고 있으므로, 이로 인해 누설자속이 발생하여 전자기적인 결합도와 임피던스 특성을 향상시키는 데는 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 따라서 본 발명의 목적은 전자기적인 결합도와 임피던스 특성이 향상된 적층형 코일 부품을 제공하는데 있다.

<34> 또한, 본 발명의 다른 목적은 스퍼터링이나 증착 등의 박막 형성 기술에 의하지 않고 저비용 공정에 의해 결합계수가 높고 절연성이 향상된 코일 부품을 제조하여 생산성을 크게 향상시키는데 있다.

<35> 기타 본 발명의 다른 목적 및 특징은 이하의 상세한 설명 및 청구범위에서 더욱 명확하게 제시될 것이다.

【발명의 구성 및 작용】

<36> 상기 목적을 달성하기 위하여 본 발명은 중앙에 개구부가 형성되어 있고, 상면 및 하면 중 적어도 일면에는 전극패턴이 형성되어 있는 비자성체전극층 및 상기 비자성체전극층의 중앙 개구부와 상기 비자성체전극층의 측면에 위치하는 내부자성체층이 하나의 단위가 되는 적어도

2층 이상의 내부전극층;과 상기 내부 전극층의 양면에 접촉하는 커버층; 및 상기 전극패턴의 일부와 전기적으로 연결되는 외부 전극단자를 포함하여 구성되는 적층형 코일부품을 제공한다.

<37> 상기 내부 전극층은 다수의 층으로 구성하여 비자성체전극층 상에 형성된 전극패턴이 여러 층의 코일을 구성하도록 하는 것이 바람직하다. 이 경우에 상기 비자성체전극층에는 전극패턴이 형성되지 않은 부분에 비아홀을 형성하고, 이 비아홀에는 전도성 물질을 채워 넣어, 비아홀이 형성되어 있는 비자성체전극층의 상면 및 하면에 접하는 다른 비자성체전극층의 전극패턴의 일부분이 상기 비아홀을 통해 전기적으로 연결되도록 한다.

<38> 상기 커버층은 자성체층으로 구성되며, 커버층과 내부 전극층 사이에는 상기 내부 전극층과 형태가 동일하며 전극패턴이 형성되지 않은 비자성체층 또는 자성체층으로 구성되는 버퍼층이 포함될 수 있다.

<39> 본 발명에서 자성체로는 페라이트를 사용하며 이밖에도 Ni 계, Ni-Zn계, Ni-Zn-Cu계 등의 물질이 사용될 수 있으며, 비자성체로는 B_2O_3 - SiO_2 계 유리, Al_2O_3 - SiO_2 계 유리, 기타 세라믹 물질 가운데 상기한 페라이트와 열팽창율이 유사한 재료를 사용한다.

<40> 본 발명에서 코일부품을 구성하는 각 층의 두께는 가급적 작은 것이 바람직하다.

<41> 한편, 본 발명은 캐리어 필름 상에 각각 자성체막과 비자성체막을 형성한 그린시트를 준비하고; 상기 자성체막과 비자성체막 그린시트에 커팅라인을 형성하고; 커팅라인이 형성된 비자성체막 그린시트에는 비아홀을 형성하고; 비아홀이 형성된 비자성체막 그린시트 상면에 전극패턴을 형성하고; 자성체막 및 비자성체막 그린시트에서 불필요한 부분을 제거하고; 자성체막 그린시트, 커팅라인이 형성된 자성체막, 커팅라인이 형성된 비자성체막 그린시트, 비아홀과 전극패턴이 형성된 비자성체막 그린시트들을 적층하고; 적층된 적층체를 소성하고; 소성한 적층

체의 외부면에 전극단자를 형성하는 단계를 포함하여 이루어지는 적층형 코일부품 제조방법을 제공한다.

<42> 이하, 도면을 참조하며 실시예를 통하여 본 발명을 더욱 구체적으로 설명한다. 도 2a 내지 2d는 본 발명에 의한 적층형 코일부품의 외관 및 내부 구조를 보여주는 사시도이다.

<43> 도 2a에 도시된 코일부품의 외관을 보면 육면체 형태로 상하면에 커버층(21)이 있고, 적층체 외주면에 외부 접속단자(24)가 형성되어 있는 것을 볼 수 있다. 커버층 사이에는 자성체층(22)과 비자성체전극층(28)이 위치하는 것을 볼 수 있다.

<44> 도 2b는 상기 코일 부품에서 내부자성체층만을 도시한 것으로 자기경로(magnetic path)를 볼 수 있으며, 도 2a에서는 비자성체전극층 내부 중간에 위치하여 보이지 않았던 중앙 자성체층(26)을 볼 수 있다. 중앙 자성체층(26)과 측면자성체층(25)에 의하여 형성되는 내부 공간(29)은 비자성체전극층이 차지하게 된다. 중앙 자성체층(26)과 측면자성체층(25)은 여러겹의 시트상의 필름을 적층하여 형성할 수도 있고, 벌크상으로 형성하는 것도 가능하다.

<45> 도 2c는 비자성체 전극층(28)을 모식적으로 도시한 것으로 각 전극층 면에 형성된 전극패턴(27)들이 코일 형태로 형성되어 있는 것을 볼 수 있으며, 내부 중앙에는 중앙 자성체층(26)이 위치하게 되는 빈 공간(28')이 있는 것을 볼 수 있다. 비자성체 전극층(28)에 의해 전극패턴이 상하 일정한 간격으로 코일 형태를 취할 수 있게 되며, 내부 중앙 및 각 측면에 위치하게 되는 자성체층과 전극패턴간의 전자기적 상호작용을 하게 된다. 전극패턴의 형태는 여러가지 방법으로 변화시킬 수 있으며, 후술하는 바와 같이 각 층의 전극패턴은 상호 전기적으로 연결되도록 할 수 있고 그 일부는 외부로 연장되어 외부 전극단자와 전기적으로 접속하게 된다.

- <46> 도 2d는 도 2a에 도시된 코일부품의 단면을 보인 것으로 내부의 중앙 자성체층(26)과 측면 자성체층(25)을 볼 수 있으며, 두 자성체층 사이에 여러층으로 적층된 비자성체 전극층(28)이 위치하고 있다.
- <47> 한편, 도 2e는 본 발명의 또 다른 실시예를 보여주는 사시도로서, 커버층에 자성체로 된 커버층(21) 이외에 비자성체로 된 커버층(20)이 추가적으로 형성되어 있다. 추가적인 커버층은 혹시 존재할 수 있는 자성체층과 비자성체층 사이의 미소한 열팽창율의 차이를 완화시켜 제품의 기계적 구조를 안정시키는 역할을 한다
- <48> 이와 같은 본 발명의 적층형 코일 부품은 중앙 자성체층(26)과 두 측면 자성체층 사이에 전극패턴이 형성된 비자성체전극층(28)으로 구성되므로, 누설자속의 발생을 억제하여 그 특성의 향상을 가져올 수 있다. 뿐만 아니라 유리 등의 비저항이 높은 비자성체층을 사용함으로써 전극 패턴간의 절연 저항이 커지게 되어 안정된 절연성을 확보 할 수 있다.
- <49> 이와 같은 본 발명의 적층형 코일부품은 각각의 층을 구성하는 레이어들을 간단하고 경제적인 방법으로 제조한 후 각 층들을 순서대로 적층하여 하나의 단일 부품을 완성하게 된다. 도 3a 내지 도 3f를 참조하여 제조방법을 구체적으로 살펴보면 다음과 같다.
- <50> 도 3a는 그린시트를 준비하는 단계를 보여준다. 캐리어필름(carrier film)(32)상에 자성체막이나 비자성체막(31)을 형성한다. 본 발명에서는 후막 적층공정에서 사용되는 닥터브레이드 테이프 캐스팅(Doctor Blade Tape Casting) 방식을 이용하여 캐리어 필름 위에 슬러리(Slurry)화 된 자성체 또는 비자성체의 그린시트를 각각 캐스팅한다.
- <51> 캐리어필름으로는 PET 필름을 사용하며, 이 밖에도 다른 재료들이 사용될 수 있으며, 캐리어 필름은 각 층의 제조가 완성된 후 각각의 층을 순서대로 적층할 때는 제거된다.

- <52> 캐리어필름(32)상에 자성체막이나 비자성체막을 형성한 그린시트는 그 자체만으로 혹은 여러층을 적층하여 커버층으로 사용할 수 있다.
- <53> 그린시트를 형성한 후에는 도 3b에 도시된 바와 같이 일정한 형태로 커팅라인을 형성한다. 커팅라인은 양 측면 커팅라인(33a, 33b)과 내부 윈도우용 커팅라인(34)이 있다. 커팅라인은 레이저 가공이나 기계적 가공등을 이용할 수 있으며, 캐리어필름이 손상되지 않도록 주의한다. 도 3b의 커팅 공정은 자성체막이나 비자성체막이 형성된 그린 시트 모두에 적용된다.
- <54> 커팅라인이 형성된 자성체막이나 비자성체막 그린 시트는 그 자체만으로 혹은 여러층을 적층하여 버퍼층으로 사용될 수 있다.
- <55> 한편, 비자성체막이 형성된 그린 시트에는 도 3c에 도시된 바와 같이 커팅라인(33a, 33b, 34) 이외에 비아홀(35)을 형성한다. 비아홀은 레이저 펀칭(Laser Punching)이나 기계적 펀칭(Mechanical Punching) 방법 등을 이용한다.
- <56> 커팅라인과 비아홀을 형성한 비자성체 그린시트는 도 3d에 도시된 바와 같이 전극패턴(36)을 형성한다. 전극패턴은 비자성체전극층의 순서에 따라 서로 다른 패턴(예를 들면, 제1시트의 전극패턴과 제2시트의 전극패턴이 서로 대칭되는 형태)으로 형성할 수 있으며, 코일부품의 사용 목적에 따라 다양한 모양으로 변형시킬 수 있을 것이다. 또한, 전극패턴의 한쪽 끝은 외부에 연장되어 전기적인 접속을 할 수 있도록 그린시트 끝단(36')까지 형성한다. 전극패턴은 스크린프린팅(Screen Printing) 방식을 이용하여 비자성체 그린시트 상면에 전도성 페이스트를 인쇄하고, 비아홀(35a, 35b)에도 전도성물질을 채워넣는다. 도 3d를 보면 형성된 전극패턴의 일부 끝단이 비아홀(35b) 연결되어 있고 또 다른 비아홀(35a)에는 전극패턴이 접하고 있지 않은 것을 볼 수 있다. 이와 같은 형태는 각각의 비자성체전극층상의 전극패턴을 레이어별로 서로 전기적인 연결하거나 연결되지 않도록 하는 수단이 된다.

<57> 커팅라인이 형성된 자성체 그린시트와 전극패턴이 형성된 비자성체 그린시트는 불필요한 부분을 제거(Pick-up)하게 된다. 이때 자성체 그린 시트와 비자성체 그린 시트는 각각 반대가 되는 영역을 제거하여, 이후 설명되는 적층(Stacking) 공정시 각각의 자성체 그린 시트와 비자성체 그린 시트가 단일한 하나의 레이어를 구성할 수 있도록 한다. 도 3e 및 3f는 각각 불필요한 부분이 제거된 자성체 그린 시트와 비자성체 그린 시트를 보여주고 있다. 도 3e는 자성체 그린시트로서 중앙 영역(38a)과 주변 영역(38b)만 남아 있고, 도 3f는 비자성체 그린시트로서 자성체 그린시트와 반대되는 영역에만 비자성체층(39)이 남아 있는 것을 볼 수 있다.

<58> 각 층의 제조가 끝나면 순서에 따라 각각의 층을 적층하는 공정을 수행한다. 도 4a는 적층 공정을 도시한 것으로 각각의 층이 순서에 따라 하나로 적층된다. A는 커버층을, B는 버퍼층을, C는 전극층을 각각 나타내며, 커버층은 자성체층(42)으로 이루어져 있으나 다른 실시예로서 자성체층과 비자성체층이 함께 형성될 수 도 있다. 버퍼층(B)은 자성체층(43)과 비자성체(44)으로 구성되어 있으며 전극층(45)의 전극패턴이 상부의 커버층과 직접 맞닿는 것을 방지한다. 커버층과 버퍼층은 도 3a 및 도 3b에 도시된 공정에서 제조된 그린 시트 및 커팅라인이 형성된 그린 시트를 캐리어 필름이 제거된 채로 사용한다.

<59> 전극층은 도 3e 및 3f에 도시된 공정에서 제조된 자성체막(38a, 38b)과 비자성체막(39)을 교대로 적층하여 형성한다. 도면에는 전극층이 4개의 레이어로 구성되어 있으나 실제로는 이 보다 많은 수의 레이어들이 적층되는 것이 바람직하다.

<60> 도 4b에는 상기 전극층이 여러 층으로 구성되어 있는 예를 좀더 구체적으로 도시한 것으로, 자성체층(46)과 비자성체층(45)이 교대로 적층되어 동일 레이어에 자성체와 비자성체가 존재하게 된다. 이와 같은 적층에 의해 비자성체층에 형성된 전극패턴은 상호 전기적으로 연결되는데, 전극 패턴의 일부 끝단(47a 또는 47c)이 비아홀(48a 또는 48b)에 연결되어 다른 층의 전



극패턴의 끝단(47b 또는 47d)에 전기적으로 연결된다. 한편, 전극패턴의 다른 끝단(49)은 외부와의 전기적인 접촉을 위하여 비자성체층의 모서리까지 연장되어 있는 것을 볼 수 있으며, 적층이 끝난 후 상기 끝단(49)에는 외부 전극단자가 형성된다. 적층이 끝난 후의 모습을 도 4c에 도시하였다.

<61> 적층후 적층체를 소성하여 내부전극패턴, 비자성체, 자성체를 동시에 소성시키면 코일 형태의 전극패턴, 비자성체인 절연체영역, 자성체로 이루어지는 자기경로(Magnetic Path)영역이 형성된다.

<62> 소성이 끝난 후에는 딥핑(Dipping)이나 롤러(Roller) 등을 이용하여 측면에 외부 전극단자를 형성한다.

<63> 이상과 같은 제조공정에 의하여 본 발명의 적층형 코일 부품을 경제적으로 제조할 수 있으며, 특히 대량의 부품을 빠른 시간안에 제조하는 것이 가능하다.

<64> 한편, 도 5a 및 5b는 각각 자성체만으로 이루어진 코일부품과 자성체 및 비자성체로 이루어진 코일부품의 자기장을 모식적으로 보여주는 도면이다. 도 5a에서와 같이 코일부품이 자성체만으로 이루어진 경우에는 1차코일(53)과 2차코일(54)이 모두 투자율이 높은 자성체(51) 내부에 형성되므로 1차코일에서 생성된 자기장의 일부는 2차코일로 전달되지 못하고 1차코일 주위로 누설된다. 식별번호 55는 1차코일과 2차코일 간의 전자기적 결합에 이용된 유효자기장을 나타내고, 56은 누설 자기장을 나타낸다. 이와 같은 누설 자기장으로 인해 코일 부품의 결합계수가 낮아

저, 공통모드필터 또는 트랜스포머로 사용하게 되면 그 성능이 열화된다. 반면, 본 발명에 의한 코일부품의 경우 1차코일(53)과 2차코일(54)이 모두 저투자율의 비자성체(52) 내부에 존재하여 코일간의 누설 자기장이 발생되지 않으므로 1차코일에서 발생된 자기장이 손실없이 2차코일로 전달될 수 있다. 즉 임피던스의 커먼모드 성분과 노멀모드 성분의 비율인 결합계수가 커지게 된다.

<65> 아래의 표 1은 본 발명의 코일부품과 기존의 기타 부품의 결합계수를 비교한 것이다.

<66> 【표 1】

	결합계수(%)
자성체/비자성체형	98.82
자성체형	85.89
권선형	96.02

<67> 권선형은 자성체에 주위에 도선을 감은 기존의 일반적인 코일부품이고, 자성체/비자성체형은 본 발명에 의한 코일부품을, 자성체형은 도 5a에 도시된 바와 같은 코일부품을 의미한다. 본 발명의 코일부품의 결합계수가 다른 제품에 비하여 매우 우수한 것을 알 수 있다.

【발명의 효과】

<68> 이상에서 설명한 바와 같이 본 발명에 의하면 전자기적인 결합도와 임피던스 특성이 향상되고 코일 패턴간의 절연성이 우수한 적층형 코일 부품을 제조할 수 있으며, 특히 스퍼터링이나 증착 등의 박막 형성 기술에 의하지 않고 저비용 공정에 의해 코일 부품을 제조하여 생산성을 크게 향상시킬 수 있다.

【특허청구범위】

【청구항 1】

하기의 비자성체전극층과 내부자성체층이 하나의 단위가 되는 적어도 2층 이상의 내부전극층;과

(a) 중앙에 개구부가 형성되어 있고, 상면 및 하면 중 적어도 일면에는 전극패턴이 형성되어 있는 비자성체전극층

(b) 상기 비자성체전극층의 중앙 개구부 및 상기 비자성체전극층의 측면에 위치하는 내부자성체층

상기 내부 전극층의 양면에 접촉하는 커버층; 및

상기 전극패턴의 일부와 전기적으로 연결되는 외부 전극단자;

를 포함하여 구성되는 적층형 코일부품.

【청구항 2】

제1항에 있어서, 상기 비자성체전극층에는 전극패턴이 형성되지 않은 부분에 비아홀이 형성되어 있고, 이 비아홀에 전도성 물질을 채워 넣은 적층형 코일부품.

【청구항 3】

제2항에 있어서, 비아홀이 형성되어 있는 비자성체전극층의 상면 및 하면에 접하는 다른 비자성체전극층의 전극패턴의 일부분은 상기 비아홀을 통해 전기적으로 연결되는 적층형 코일부품.

【청구항 4】

제1항에 있어서, 상기 커버층은 비자성체층이 추가적으로 포함되는 적층형 코일부품.

【청구항 5】

제1항에 있어서, 상기 내부 전극층과 커버층 사이에 상기 내부 전극층과 형태가 동일하며 전극패턴이 형성되지 않은 비자성체층 또는 자성체층으로 구성되는 버퍼층을 추가적으로 포함하는 적층형 코일부품.

【청구항 6】

제1항에 있어서, 상기 비자성체전극층은 B_2O_3 - SiO_2 계 유리, Al_2O_3 - SiO_2 계 유리 또는 기타 세라믹 물질로 구성되는 적층형 코일부품.

【청구항 7】

제1항에 있어서, 상기 내부자성체층은 페라이트, Ni계, Ni-Zn계, Ni-Zn-Cu계 등의 물질로 구성되는 적층형 코일부품.

【청구항 8】

캐리어 필름 상에 각각 자성체막과 비자성체막을 형성한 그린시트를 준비하고;

상기 자성체막과 비자성체막 그린시트에 커팅라인을 형성하고;

커팅라인이 형성된 비자성체막 그린시트에는 비아홀을 형성하고;

비아홀이 형성된 비자성체막 그린시트 상면에 전극패턴을 형성하고;

자성체막 및 비자성체막 그린시트에서 불필요한 부분을 제거하고;

자성체막 그린시트, 커팅라인이 형성된 자성체막 그린시트, 커팅라인이 형성된 비자성체막 그린시트, 비아홀과 전극패턴이 형성된 비자성체막 그린시트들을 적층하고,

적층된 적층체를 소성하고,

소성한 적층체의 외부면에 전극단자를 형성하는 단계를 포함하여 이루어지는

적층형 코일부품 제조방법.

【청구항 9】

제8항에 있어서, 캐리어 필름 상에 형성되는 자성체막 및 비자성체막은 닥터블레이드 태입캐스팅에 의하는 적층형 코일부품 제조방법.

【청구항 10】

제8항에 있어서, 커팅라인이 형성된 자성체막과 비자성체막 그린시트에서 불필요한 부분을 제거할 때 각각 반대가 되는 영역을 제거하여 각각의 자성체 그린 시트와 비자성체 그린 시트가 단일한 하나의 레이어를 구성하는 적층형 코일부품 제조방법.

【청구항 11】

제8항에 있어서, 비자성체막 그린시트 상면의 전극패턴은 스크린 프린팅에 의하여 형성되는 적층형 코일부품 제조방법.

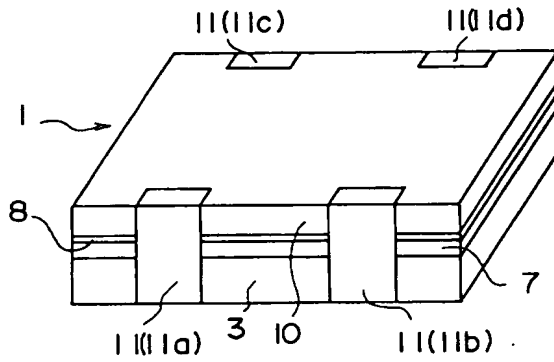
【청구항 12】

제8항의 방법에 의하여 제조된 적층형 코일부품.

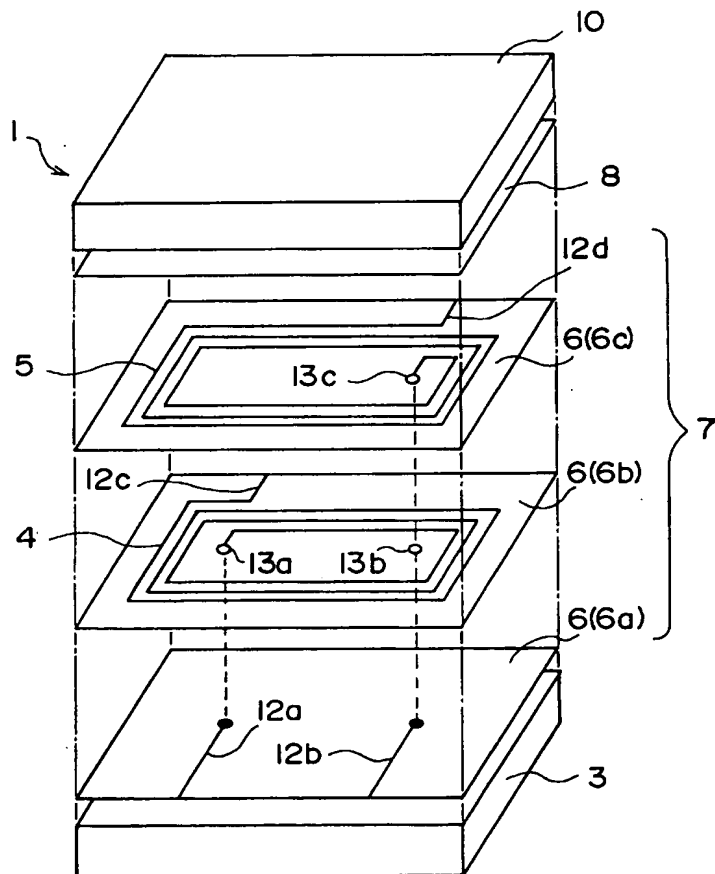


【도면】

【도 1a】

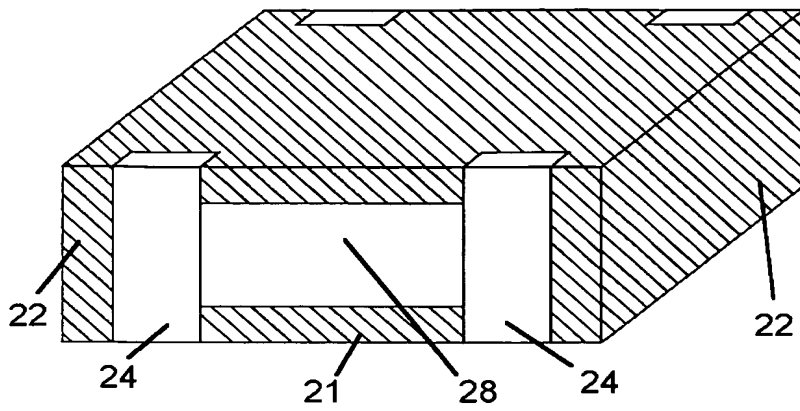


【도 1b】

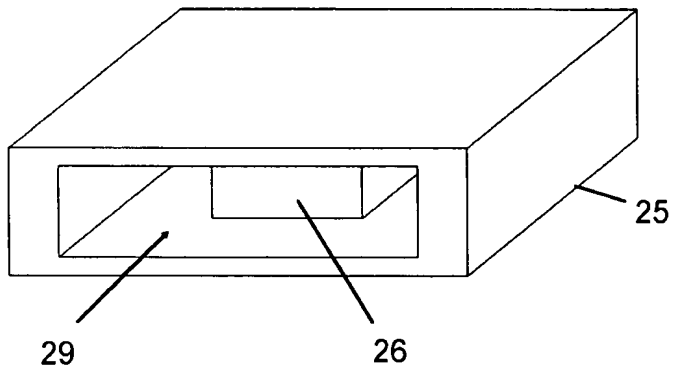




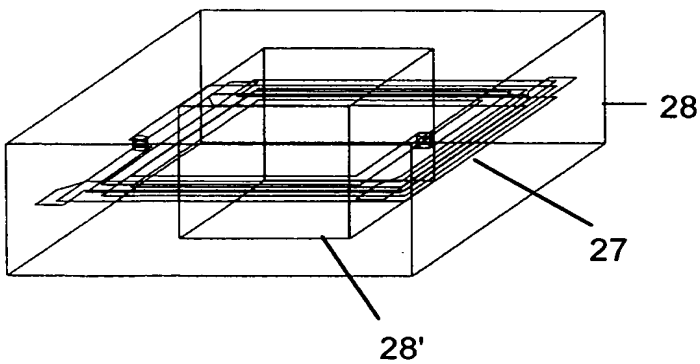
【도 2a】



【도 2b】

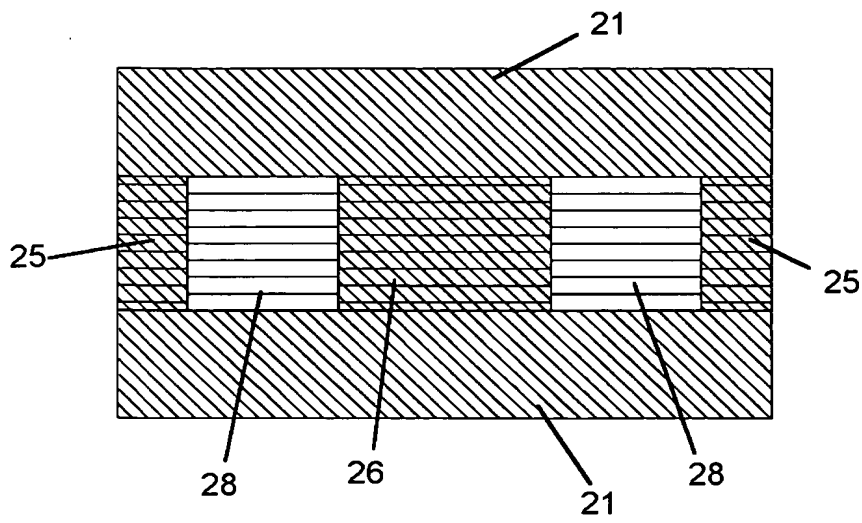


【도 2c】

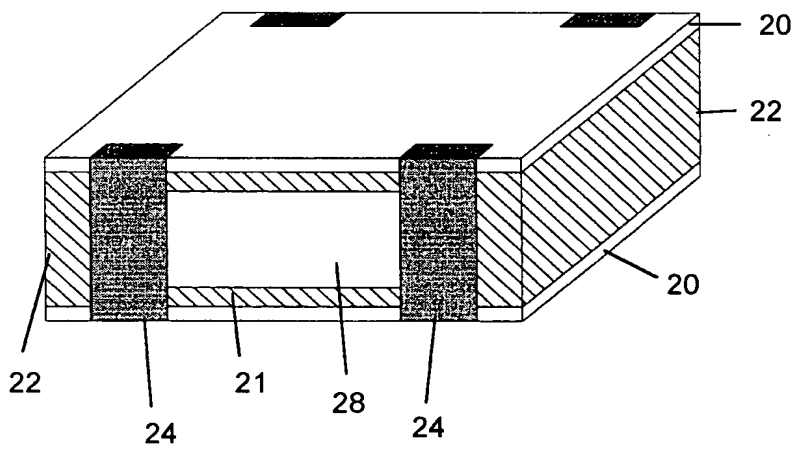




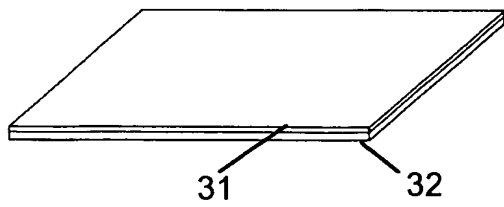
【도 2d】



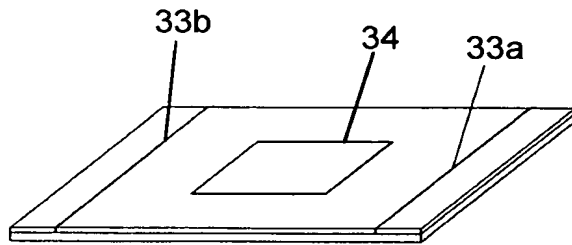
【도 2e】



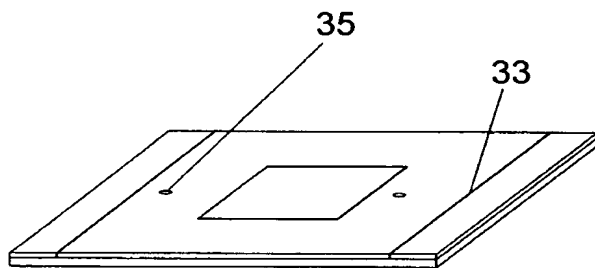
【도 3a】



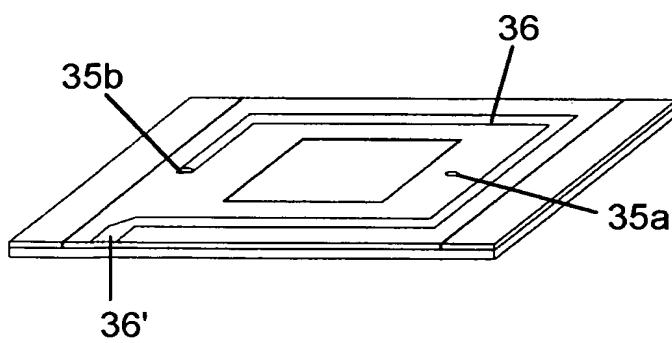
【도 3b】



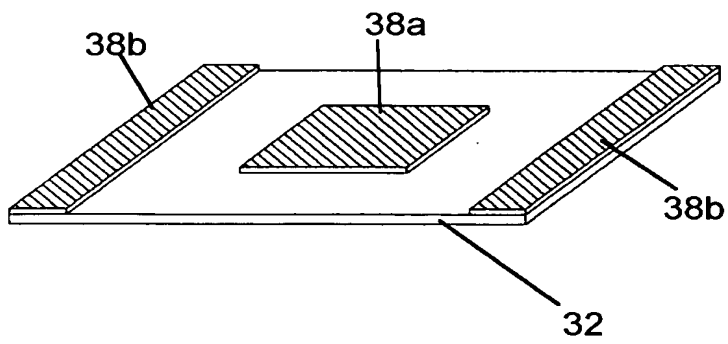
【도 3c】



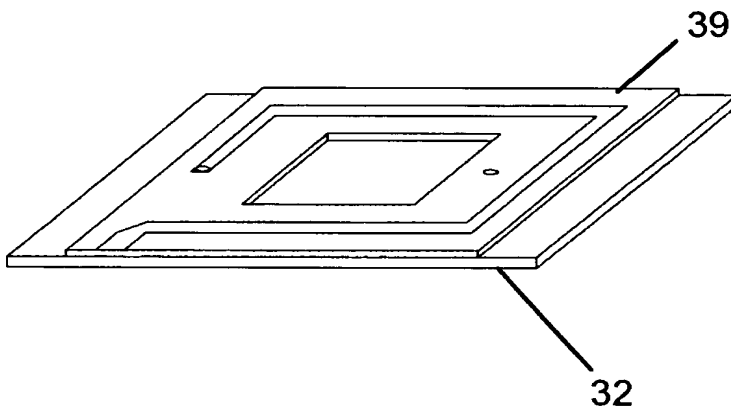
【도 3d】



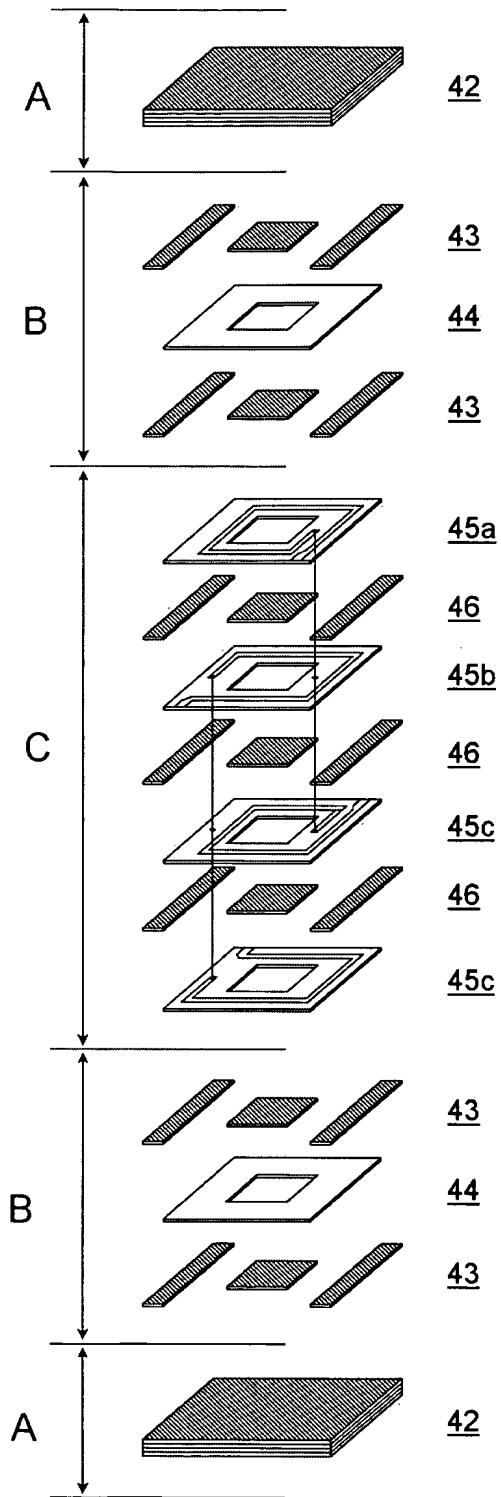
【도 3e】



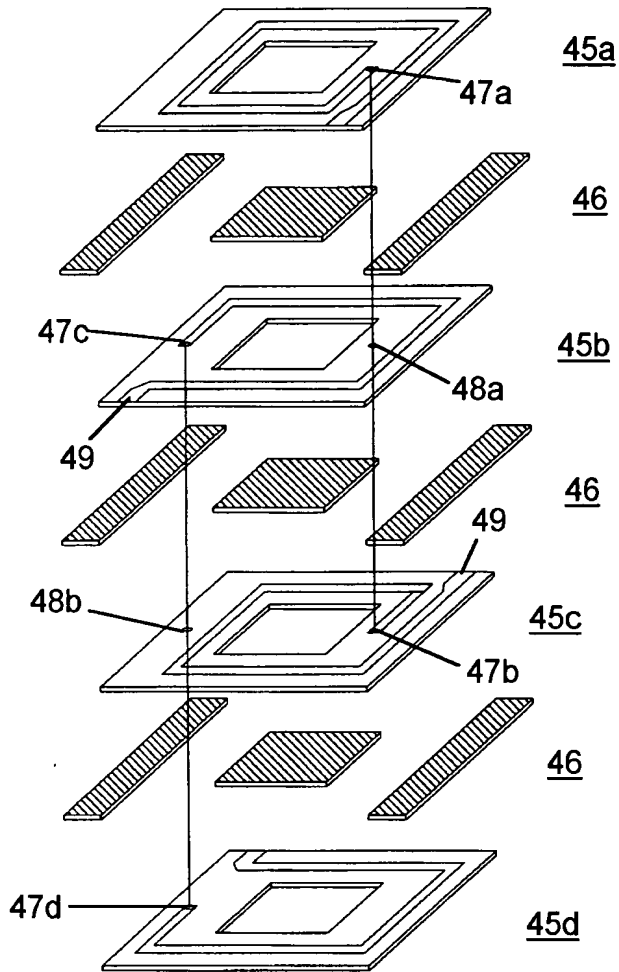
【도 3f】



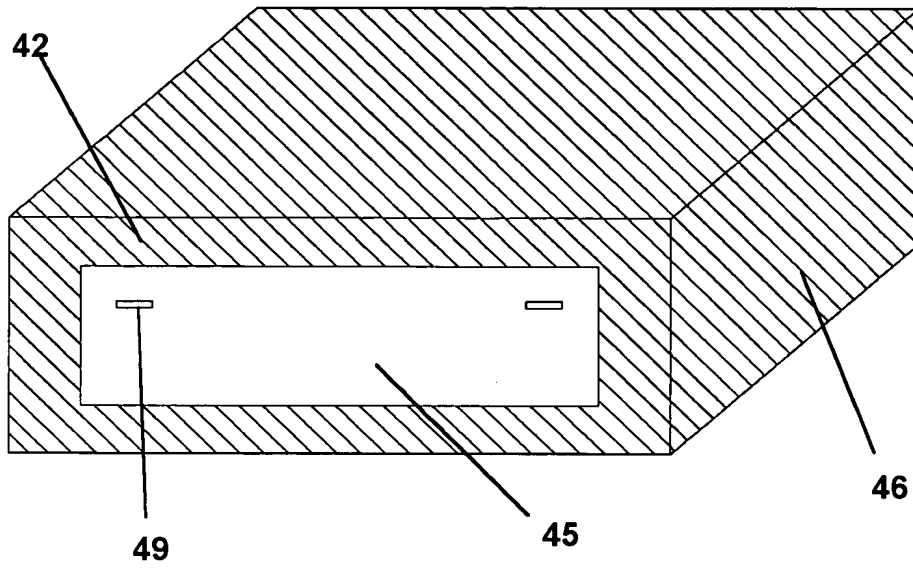
【도 4a】



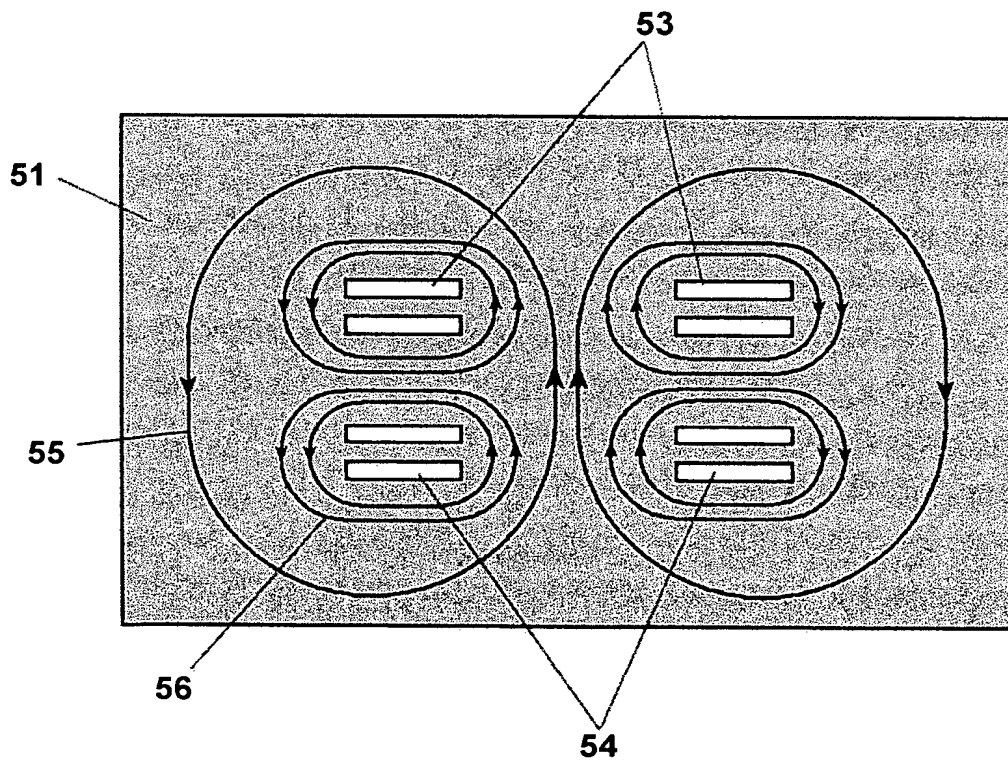
【도 4b】



【도 4c】



【도 5a】



【도 5b】

